



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月 9日

出 願 番 号

Application Number:

特願2000-173356

出 願 人

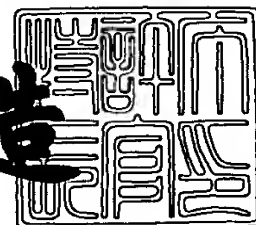
Applicant(s):

三洋電機株式会社

2001年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3046134

【書類名】 特許願

【整理番号】 KIA1000036

【提出日】 平成12年 6月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 27/10

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 飯田 伊豆雄

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 浮遊ゲートと制御ゲートを有する不揮発性メモリセルトランジスタと、単一の絶縁ゲートを有する MOS トランジスタとを同一半導体基板上に備える半導体装置の製造方法であって、

半導体基板上に第 1 のシリコン層及び耐酸化膜を形成する工程と、

不揮発性メモリセルの浮遊ゲート形成領域の前記耐酸化膜を選択的にエッチング除去する工程と、

前記 MOS トランジスタのゲート絶縁膜形成領域の第 1 のシリコン層及び耐酸化膜を選択的に除去する工程と、

熱酸化により浮遊ゲート形成領域上にロコス形状の酸化膜を形成すると共に前記 MOS トランジスタ形成領域にゲート絶縁膜を形成する工程と、

残存した耐酸化膜を除去する工程と、

前記ロコス形状の酸化膜をマスクとして、残存した前記第 1 のシリコン層をエッチング除去する工程と、

前記不揮発性メモリセルのトンネル絶縁膜を形成する工程と、

全面に第 2 のシリコン層を形成する工程と、

この第 2 のシリコン層を選択的にエッチングすることにより、前記不揮発性メモリセルの制御ゲート及び MOS トランジスタのゲートを同時に形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、さらに詳しく言えば、絶縁された浮遊ゲートと制御ゲートを有する不揮発性メモリセルトランジスタと、単一の絶縁ゲートを有する MOS トランジスタとを同一半導体基板上に備える半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

L S I メモリにおいて、マスク R O M , P R O M (Programmable R O M) , E P R O M (Erasable and Programmable R O M) , E E P R O M (Electrical Erasable and Programmable R O M) 等の不揮発性半導体メモリが知られている。

【 0 0 0 3 】

特に、E P R O M や E E P R O M では、浮遊ゲートに電荷を蓄積し、電荷の有無による閾値電圧の変化を制御ゲートによって検出することで、データの記憶を行う。また、E E P R O M には、メモリチップ全体でデータの消去を行うか、あるいは、不揮発性半導体メモリセルアレイを任意のブロックに分けてその各ブロック単位でデータの消去を行うフラッシュ E E P R O M (フラッシュメモリとも称す。)がある。

【 0 0 0 4 】

フラッシュ E E P R O M を構成する不揮発性半導体メモリセルは、スプリットゲート型とスタックゲート型に大きく分類される。スプリットゲート型のフラッシュ E E P R O M は、W O 9 2 / 1 8 9 8 0 (G11C 13/00) に開示されている。図 6 に、同公報 (W O 9 2 / 1 8 9 8 0) に記載されているスプリットゲート型不揮発性半導体メモリセル 1 0 1 の断面構造を示す。

【 0 0 0 5 】

例えば、P 型単結晶シリコン基板 1 0 2 上に N 型のソース S およびドレイン D が形成されている。ソース S とドレイン D に挟まれたチャネル C H 上に、第 1 の絶縁膜 1 0 3 を介して浮遊ゲート F G が形成されている。浮遊ゲート F G 上に第 2 の絶縁膜 1 0 4 を介して制御ゲート C G が形成されている。制御ゲート C G の一部は、第 1 の絶縁膜 1 0 3 を介してチャネル C H 上に配置され、選択ゲート 1 0 5 を構成している。第 2 の絶縁膜 1 0 4 に囲まれた浮遊ゲート F G に電子を蓄えることでデータの記憶を行う。

【 0 0 0 6 】

【発明が解決しようとする課題】

ところで、近年では上述したフラッシュ E E P R O M をロジック I C やマイク

ロコンピュータなどに搭載したシステムが急速に開発されつつある。そのようなシステム L S I において、例えば 5 V 電源で動作するマイクロコンピュータの入出力回路に 1 0 V 程度の外部信号が入力される場合があるため、中耐圧 M O S トランジスタを新たに付加する必要があった。

【 0 0 0 7 】

また、フラッシュ E E P R O M を搭載したマイクロコンピュータに、さらに別の機能を持った高電源電圧動作の I C、例えば携帯電話用のシステムではリチウム電池の保護用 I C を 1 チップ上に搭載する場合には、3 0 V 程度の高い電圧が M O S デバイスに印加されるので、さらに耐圧（ゲート耐圧、ソースドレイン間耐圧）を向上させた高耐圧 M O S トランジスタを新たに付加する必要性が生じている。

【 0 0 0 8 】

高耐圧 M O S トランジスタ（例えば 3 0 V 耐圧）では、ゲートに 3 0 V の高い電圧が印加されるので、マイクロコンピュータの論理回路部分を構成するコンベンショナルタイプの M O S トランジスタ（例えば 5 V 耐圧）に比して厚いゲート絶縁膜が必要である。しかし、高耐圧 M O S トランジスタ専用のゲート酸化行程を追加すると、熱処理量が増加し、不揮発性メモリセルの特性が変化してしまう。

【 0 0 0 9 】

さらに高いゲート絶縁膜耐圧を必要とする高耐圧 M O S トランジスタでは、ゲート絶縁膜をさらに厚くする必要がある。しかし、第 2 の絶縁膜 1 0 4 はトンネル酸化膜として最適な膜厚であるため、上記の製造方法では、高耐圧 M O S トランジスタに必要なゲート絶縁膜厚が得られなかった。

【 0 0 1 0 】

本発明は上述した課題に鑑みて為されたものであり、不揮発性メモリセルの特性を変動させることなく、不揮発性メモリセルと高耐圧 M O S トランジスタとを同一半導体チップ上に形成する製造方法を提供することを目的としている。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、浮遊ゲートと制御ゲートを有する不揮発性メモリセルトランジスタと、単一の絶縁ゲートを有するMOSトランジスタとを同一半導体基板上に備える半導体装置の製造方法であって、半導体基板上に第1のシリコン層及び耐酸化膜を形成する工程と、不揮発性メモリセルの浮遊ゲート形成領域の前記耐酸化膜を選択的にエッチング除去する工程と、前記MOSトランジスタのゲート絶縁膜形成領域の第1のシリコン層及び耐酸化膜を選択的に除去する工程と、熱酸化により浮遊ゲート形成領域上にロコス形状の酸化膜を形成すると共に前記MOSトランジスタ形成領域にゲート絶縁膜を形成する工程と、残存した耐酸化膜を除去する工程と、前記ロコス形状の酸化膜をマスクとして、残存した前記第1のシリコン層をエッチング除去する工程と、前記不揮発性メモリセルのトンネル絶縁膜を形成する工程と、全面に第2のシリコン層を形成する工程と、この第2のシリコン層を選択的にエッチングすることにより、前記不揮発性メモリセルの制御ゲート及びMOSトランジスタのゲートを同時に形成する工程と、を有することを特徴とするものである。

【 0 0 1 2 】

【発明の実施の形態】

次に、本発明の実施形態による半導体装置の製造方法について図面を参照しながら説明する。図1乃至図6は、各工程における半導体装置の断面図である。

【 0 0 1 3 】

図1において、左に高耐圧MOSトランジスタ形成領域、右にメモリセル形成領域が夫々示されている（以下、図2～図6において同様である）。p型シリコン基板1の表面にn型ソース層2、n型ドレイン層3が離間して形成される。このn型ソース層2とn型ドレイン層3との間の基板1の表面がチャネル領域4となる。n型ソース層2、n型ドレイン層3は、例えばリンをドーザ量 $1 \times 10^{13} / \text{cm}^2$ の条件で基板1にイオン注入し、その後温度 1000°C 、約3時間、熱拡散することにより、約 $3 \mu\text{m}$ の深さに形成される。

【 0 0 1 4 】

5、6は、その後選択酸化法によって形成された熱酸化膜でいわゆるロコス膜（LOCOS）と呼ばれているものであり、 400 nm 程度の膜厚を有している

。5は、ゲート・ソース間、ゲート・ドレイン間耐圧を向上するためのロコス膜であり、6は素子分離用のロコス膜である。

【0015】

この後、メモリセル領域を含む全面に8nm程度のゲート絶縁膜7を熱酸化により形成する。さらに、LPCVD法により全面に約200nmのリンドープされたポリシリコン層8、約20nmのシリコン窒化膜9を順次形成する。そして、フォトリソグラフィ技術により、不揮発性メモリセルの浮遊ゲート形成領域を露出したフォトレジスト層10を形成し、エッチングによりこの領域上のシリコン窒化膜9を除去する。

【0016】

次に、図2に示すように、フォトレジスト層10を除去した後、さらに高耐圧MOSトランジスタ形成領域に開口部11Aを有するフォトレジスト層11を形成し、高耐圧MOSトランジスタ形成領域のポリシリコン層8、シリコン窒化膜9を除去する。

【0017】

次に、図3に示すように、フォトレジスト層11を除去した後、熱酸化により、浮遊ゲート形成領域上にロコス形状の約150nmの膜厚の酸化膜12を形成する。この領域ではシリコン窒化膜9を耐酸化性マスクとして用いた、いわゆる選択酸化プロセスとなる。また、この熱酸化により同時に、高耐圧MOSトランジスタ形成領域に約150nmの膜厚のゲート絶縁膜13が形成される。このとき、ポリシリコン層8の側面8Aが酸化されることにより酸化膜片14が形成されてしまう。

【0018】

次に、シリコン窒化膜9を除去した後、図4に示すようにロコス形状の酸化膜12をマスクとしてポリシリコン層8をエッチングすると、ロコス形状の酸化膜12下に浮遊ゲート15が形成される。その結果、浮遊ゲート15の角部15Aは先鋭な形状に加工されるので、後に説明するように、浮遊ゲート15から制御ゲートへのトンネル電流が流れやすくなる。また、ロコス膜5上には酸化膜片14が残存している。

【 0 0 1 9 】

次に、図 5 に示すように、ヒ素のイオン注入、熱拡散により、浮遊ゲート 1 5 のソース側の一端に自己整合した $n +$ 型ソース拡散層 1 6 を形成する。さらに、不揮発性メモリセルの浮遊ゲート 1 5 及び酸化膜 1 2 を被覆するように、約 2 0 nm のトンネル絶縁膜 1 7 を形成する。ここで、トンネル絶縁膜 1 7 は熱酸化及び CVD 法により形成する。その後、LPCVD 法により全面に 2 0 0 nm 程度のリンドープされたポリシリコン層を形成する。

【 0 0 2 0 】

そして、フォトリソグラフィ技術により、ポリシリコン層をエッチングして不揮発性メモリセルの制御ゲート 1 8、高耐圧 MOS トランジスタのゲート電極 1 9 を形成する。高耐圧 MOS トランジスタのゲート電極 1 9 は、ゲート絶縁膜 1 3 とロコス膜 5 の一部上であって、ロコス膜 5 上の酸化膜片 1 4 をカバーするように形成する。酸化膜片 1 4 を制御ゲート 1 8 でカバーすることにより、酸化膜片 1 4 が剥がれてダストの原因となることが防止される。

【 0 0 2 1 】

不揮発性メモリセルの制御ゲート 1 8 は、浮遊ゲート 1 5 上から p 型シリコン基板 1 上に延びた領域に形成される。この後、ヒ素のイオン注入により、不揮発性メモリの $n +$ 型ドレイン領域 2 0、高耐圧 MOS トランジスタの $n +$ 型ソース拡散層 2 1、 $n +$ 型ドレイン拡散層 2 2 を形成する。

【 0 0 2 2 】

以上の製造工程により、不揮発性メモリセルと高耐圧 MOS トランジスタとを同一のシリコン基板 1 上に形成することができる。この不揮発性メモリセルの動作を簡単に説明すると、データ書き込みの時は、 $n +$ 型ソース拡散層 1 6 に高電圧が印加される。 $n +$ 型ソース拡散層 1 6 と浮遊ゲート 1 5 は強く容量結合しているので、 $n +$ ドレイン拡散層 2 0 から流れ出たチャネルホットエレクトロンは浮遊ゲート 1 5 に注入される。

【 0 0 2 3 】

データ消去の時は、 $n +$ 型ソース拡散層 1 6、 $n +$ ドレイン拡散層 2 0 に対して制御ゲート 1 8 に高電圧が印加される。これにより、浮遊ゲート 1 5 のエレクト

トロンはトンネル絶縁膜 1 7 を貫通するトンネル電流となって制御ゲート 1 7 に流入される。このとき、浮遊ゲート 1 5 の角部 1 5 A が先鋭な形状に加工されているので、トンネル電流が流れやすく、消去効率を向上している。

【 0 0 2 4 】

このように不揮発性メモリセルは浮遊ゲート 1 5 のエレクトロンの蓄積状態に応じたチャネル伝導率の変化によって 1 または 0 の 2 値データ（あるいは多値データ）を記憶する。

【 0 0 2 5 】

一方、高耐圧 MOS トランジスタでは、ゲート絶縁膜 1 3 が 1 4 0 n m 程度と厚く形成されており、n + 型ソース拡散層 2 1、n + 型ドレイン拡散層 2 2 とゲート電極 1 9 の間に厚いロコス膜 5 が介在しており、さらに、n + 型ソース拡散層 2 1、n + 型ドレイン拡散層 2 2 は低濃度の n - 型ソース層 2、n - 型ドレイン層 3 内に形成されているので、いずれのソース、ドレイン、ゲートのいずれの端子に 3 0 V 程度の高電圧が印加されても耐えられる。

【 0 0 2 6 】

また、ゲート絶縁膜 1 3 はロコス形状の酸化膜 1 2 の形成用の熱酸化工程を利用して形成しているので、不揮発性メモリセル形成のために最適化された熱処理量に変化がなく、不揮発性メモリセルの特性が変動することが防止される。

【 0 0 2 7 】

【発明の効果】

本発明によれば、不揮発性メモリセルの特性を変動させることなく、不揮発性メモリセルと高耐圧 MOS トランジスタとを同一半導体チップ上に形成することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図 2】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図 3】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図 4】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

【図 5】

本発明の実施形態による半導体装置の製造方法を示す断面図である。

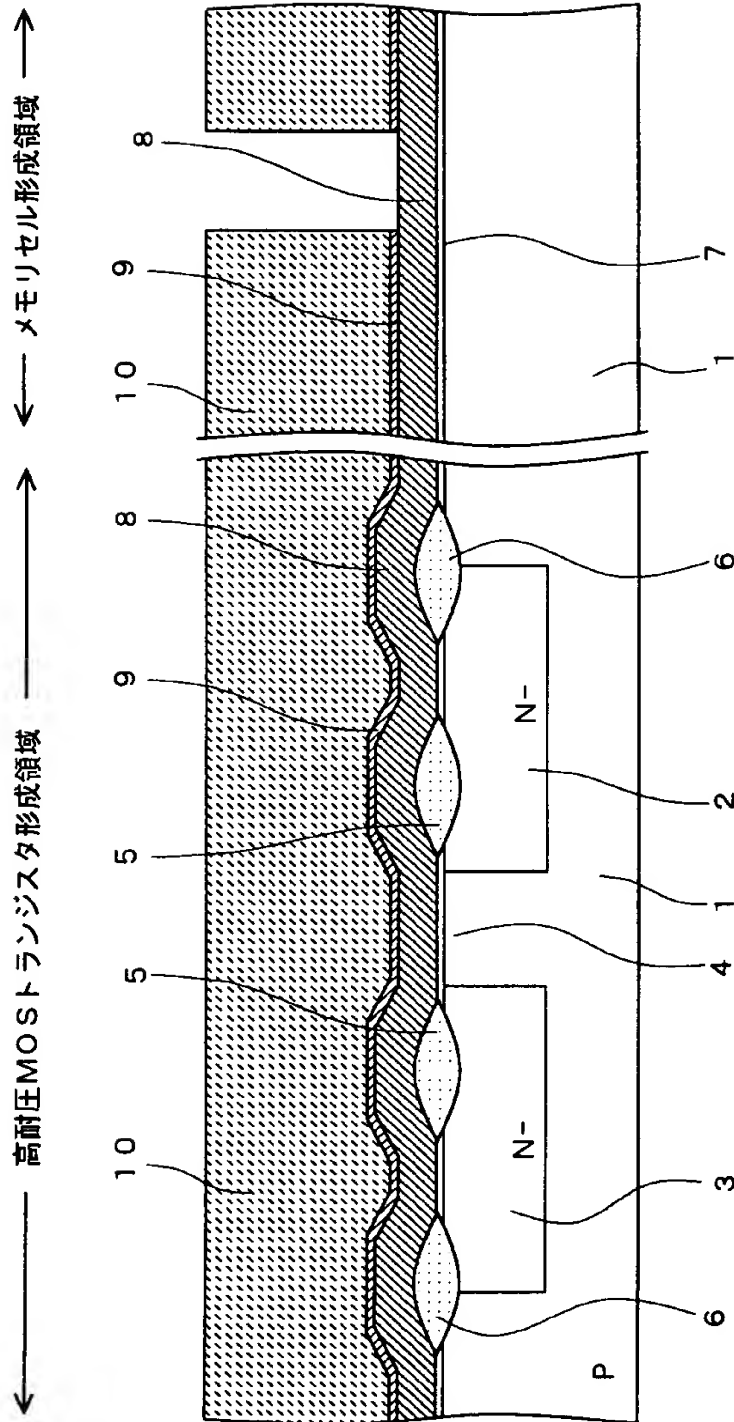
【図 6】

スプリットゲート型不揮発性半導体メモリセルの断面図である。

【書類名】

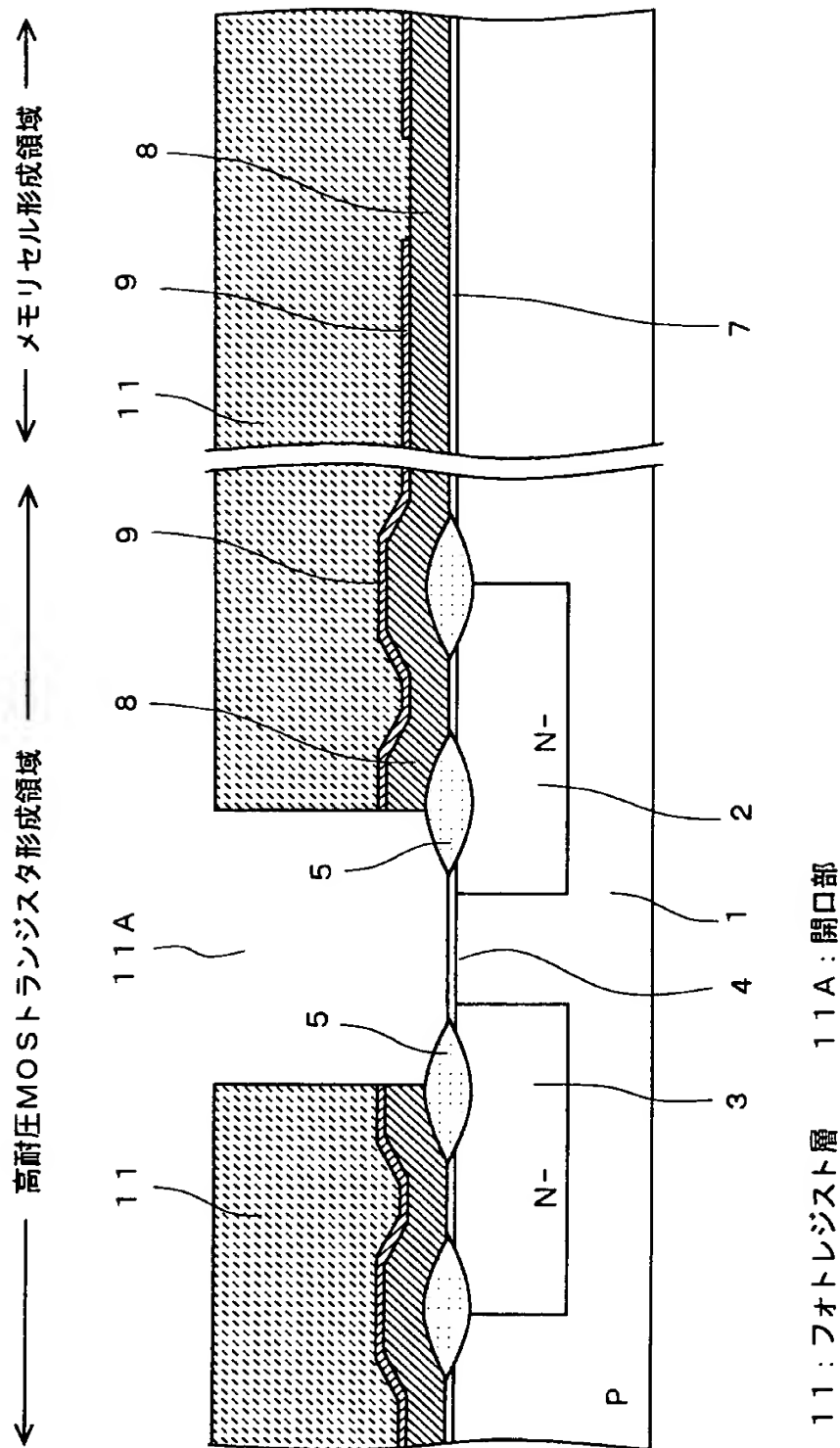
図面

【図 1】

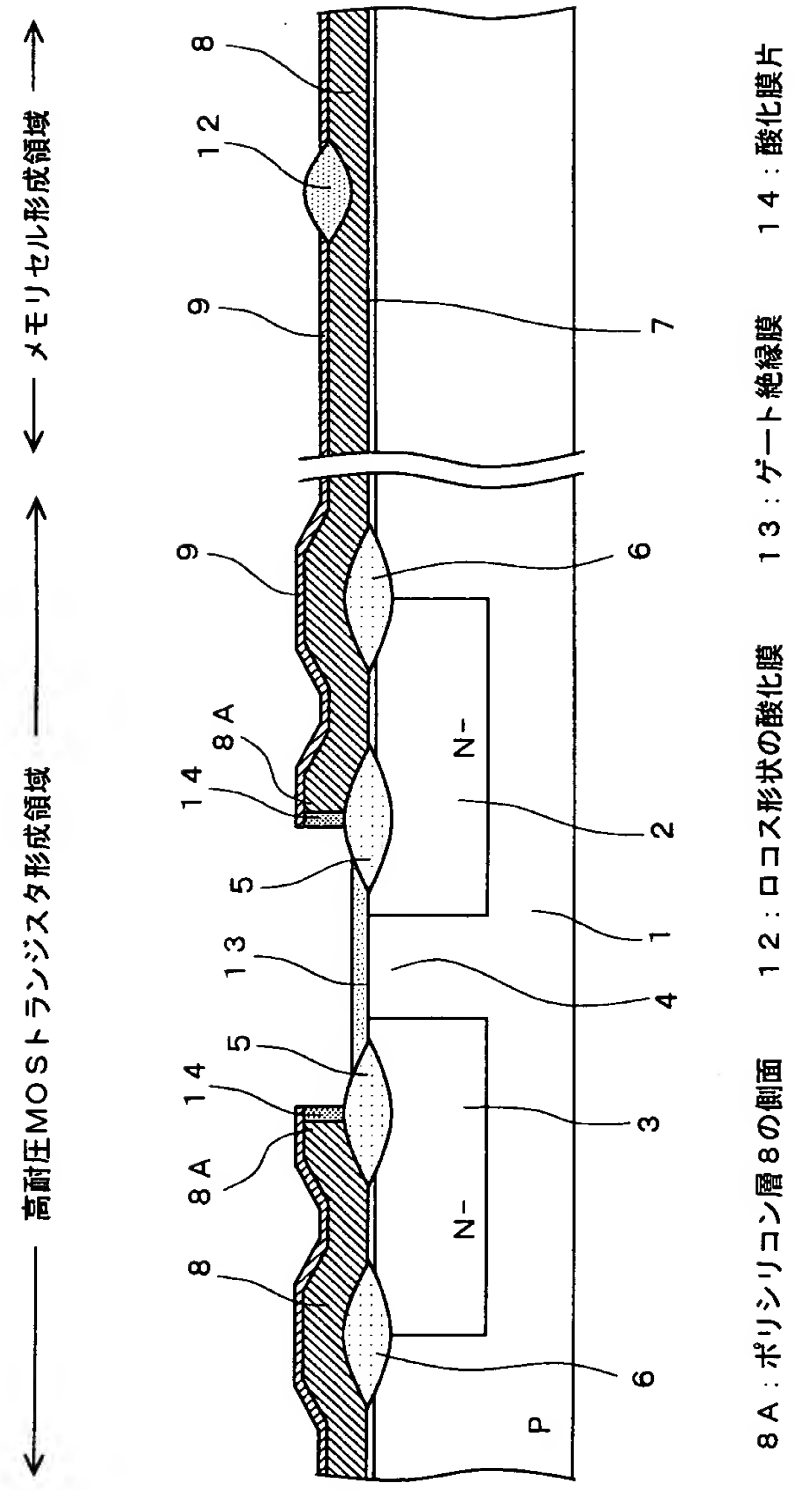


- 1: P型シリコン基板 2: n-型ソース層 3: n-型ドレイン層 4: チャネル領域 5, 6: ロコス膜
7: ゲート絶縁膜 8: ポリシリコン層 9: シリコン窒化膜 10: フォトリソスト層

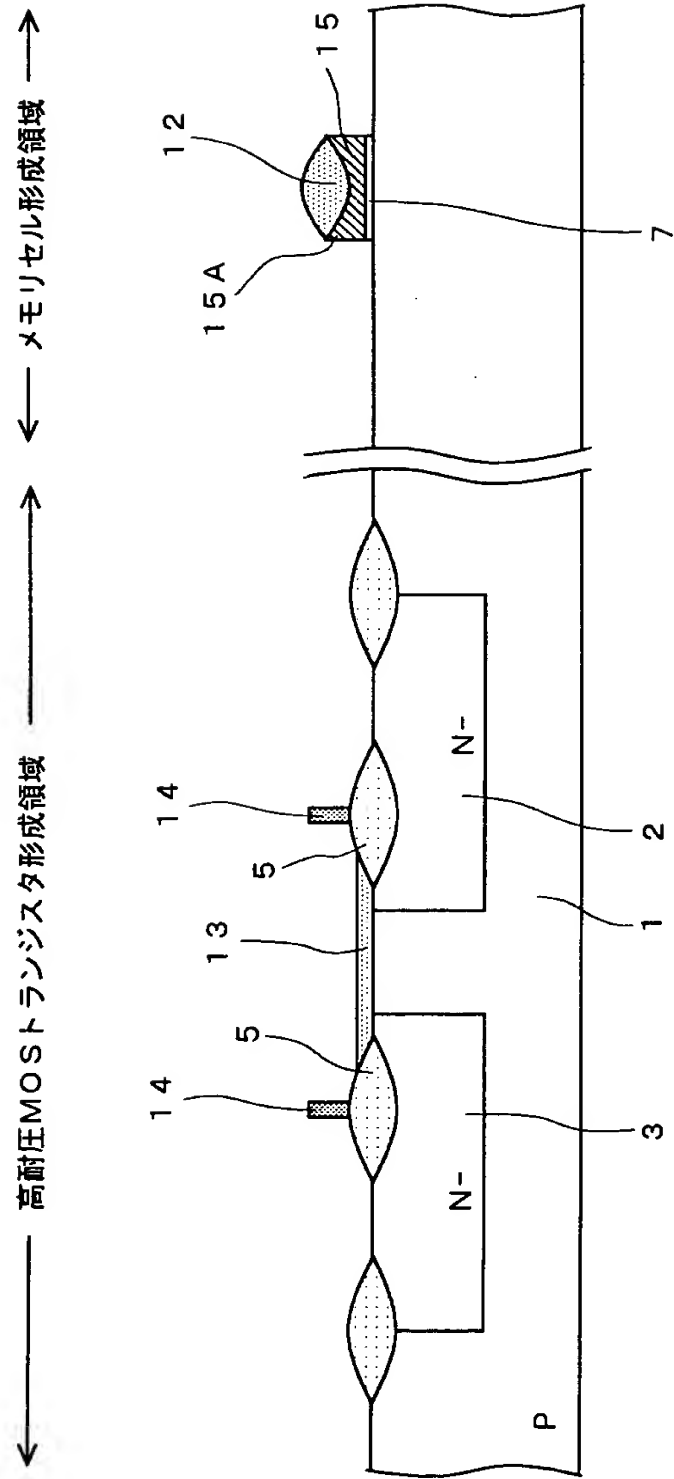
【図2】



【図 3】

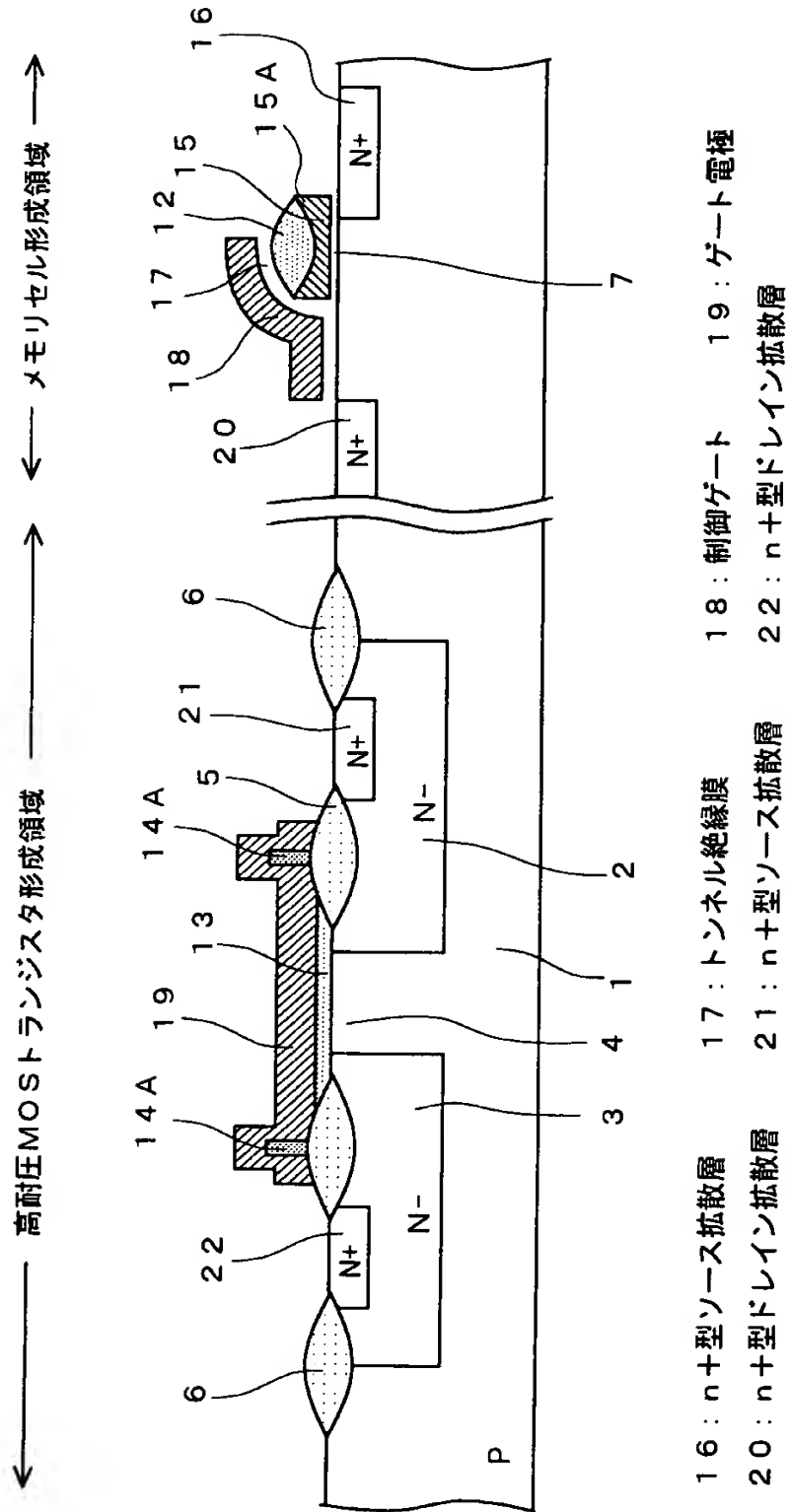


【図 4】

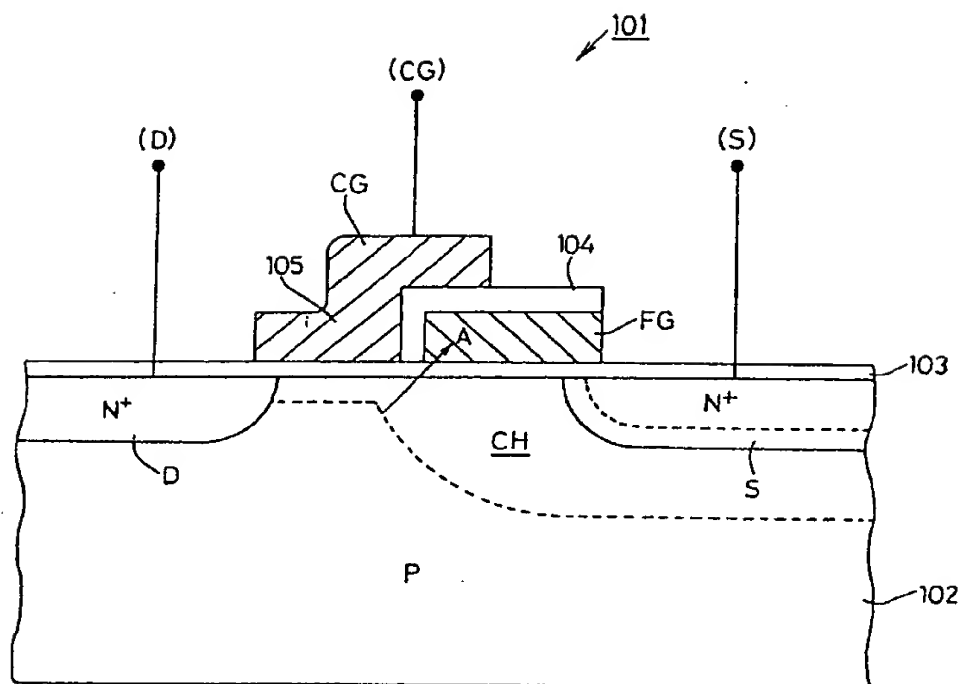


1 5 : 浮遊ゲート 1 5 A : 浮遊ゲート 1 5 の角部

【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリセルの特性を変動させることなく、不揮発性メモリセルと高耐圧MOSトランジスタとを同一半導体チップ上に形成する。

【解決手段】 浮遊ゲート形成領域に形成するロコス状の酸化膜12の形成用の熱酸化工程を利用して、高耐圧MOSトランジスタのゲート絶縁膜13を形成する。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社